

#2
7-15-02
JMU

Attorney Docket No. 1450.1017

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshiaki SARUWATARI, et al.

Application No.:

Group Art Unit:

Filed: March 6, 2002

Examiner:

JC979 U.S. PTO
10/090826
03/06/02

For: CONTROL DEVICE FOR SEMICONDUCTOR MEMORY DEVICE AND METHOD OF
CONTROLLING SEMICONDUCTOR MEMORY DEVICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-194810

Filed: June 27, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 6, 2002

By: 

Gene M. Garner
Registration No. 34,172

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC979 U.S. PTO
10/090826
03/06/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月27日

出 願 番 号

Application Number:

特願2001-194810

[ST.10/C]:

[JP2001-194810]

出 願 人

Applicant(s):

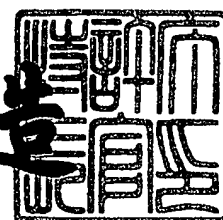
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 2月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3004958

【書類名】 特許願

【整理番号】 0140147

【提出日】 平成13年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明の名称】 半導体記憶装置の制御装置および半導体記憶装置の制御方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 猿渡 俊明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 藤田 淳

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の制御装置および半導体記憶装置の制御方法

【特許請求の範囲】

【請求項 1】 アクセス命令に応じてプリチャージ動作を自動実行するオートプリチャージ機能を有する半導体記憶装置の制御装置であって、

上記半導体記憶装置に対するアクセス要求を受信する要求受信回路と、

上記要求受信回路により受信したアクセス要求に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する判定回路と、

上記判定回路による判定結果に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令または上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給する命令出力回路とを備えることを特徴とする半導体記憶装置の制御装置。

【請求項 2】 上記半導体記憶装置における所定の領域を示すアドレス情報を設定する領域設定回路をさらに備え、

上記アクセス要求は、上記半導体記憶装置に対してアクセスするアクセスアドレス情報を有し、

上記判定回路は、上記領域設定回路に設定されたアドレス情報と、上記要求受信回路により受信したアクセス要求のアクセスアドレス情報とを比較して、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする請求項 1 に記載の半導体記憶装置の制御装置。

【請求項 3】 上記領域設定回路は、上記オートプリチャージ機能を有効にする上記アクセス命令にてアクセスする上記半導体記憶装置の領域を示すアドレス情報を設定し、

上記判定回路は、上記要求受信回路により受信したアクセス要求のアクセスアドレス情報が上記領域設定回路に設定されたアドレス情報に含まれる場合には、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする請求項 2 に記載の半導体記憶装置の制

御装置。

【請求項 4】 上記要求受信回路は、上記アクセス要求とともにアクセスタイプを示す信号を受信し、

上記判定回路は、上記要求受信回路により受信したアクセスタイプを示す信号に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする請求項 1 に記載の半導体記憶装置の制御装置。

【請求項 5】 上記アクセス要求は、転送するデータ量を示すデータサイズ情報を有し、

上記要求受信回路により受信したアクセス要求のデータサイズ情報に基づいて、上記半導体記憶装置に対するアクセス回数を算出する転送回数演算回路をさらに備え、

上記判定回路は、上記転送回数演算回路により算出されたアクセス回数に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする請求項 1 に記載の半導体記憶装置の制御装置。

【請求項 6】 上記転送回数演算回路は、上記半導体記憶装置に対するアクセス回数を計数するための計数回路を備え、

上記判定回路は、上記計数回路による計数値に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする請求項 5 に記載の半導体記憶装置の制御装置。

【請求項 7】 上記要求受信回路は、複数のマスタ回路からそれぞれ出力される上記半導体記憶装置に対するアクセス要求を受信し、

上記判定回路は、上記要求受信回路により受信したアクセス要求を出力したマスタ回路に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする請求項 1 に記載の半導体記憶装置の制御装置。

【請求項 8】 上記要求受信回路により受信したアクセス要求に対し、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に

供給するマスタ回路を設定するマスタ設定回路をさらに備えることを特徴とする請求項 7 に記載の半導体記憶装置の制御装置。

【請求項 9】 上記要求受信回路により受信したアクセス要求がリードアクセス要求であった際に、上記アクセス要求により指定される領域のデータに加え、上記指定される領域に連続した所定の領域のデータを読み出すための先読み制御回路をさらに備え、

上記判定回路は、上記要求受信回路により受信したアクセス要求がリードアクセス要求のときには、上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする請求項 1 に記載の半導体記憶装置の制御装置。

【請求項 10】 アクセス命令に応じてプリチャージ動作を自動実行するオートプリチャージ機能を有する半導体記憶装置の制御方法であって、

上記半導体記憶装置に対するアクセス要求を受信し、

受信した上記アクセス要求に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定し、

上記判定結果に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令または上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給することを特徴とする半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置の制御装置および半導体記憶装置の制御方法に関し、特に、オートプリチャージ機能を有する半導体記憶装置の制御装置に用いて好適なものである。

【0002】

【従来の技術】

従来から、DRAM (Dynamic Random Access Memory) において、外部インターフェースが一定の周期のクロック信号に同期して動作する SDRAM (Synchronous DRAM) があった。

【 0 0 0 3 】

図 1 1 は、従来の S D R A M における読み出し動作（以下、「リード動作」とも称す。）のタイミングチャートである。

図 1 1 において、（A）は後述するオートプリチャージ付きのリードコマンドを用いない場合のリード動作のタイミングチャートであり、（B）はオートプリチャージ付きのリードコマンドを用いた場合のリード動作のタイミングチャートである。

【 0 0 0 4 】

まず、図 1 1 （A）のオートプリチャージ付きのリードコマンドを用いない場合のリード動作について説明する。

時刻 T_{61} において、図示しない制御装置から出力されたロウアドレスを含むアクティブコマンド $A C T V$ が S D R A M に供給されると、S D R A M は、当該ロウアドレスにより指定されたページをアクティブ状態にする。アクティブコマンド $A C T V$ を出力してから期間 $t R C D$ （リードコマンド $R E A D$ が出力可能となる期間）が経過した時刻 T_{63} において、制御装置から出力されたカラムアドレスを含むリードコマンド $R E A D$ が S D R A M に供給される。リードコマンド $R E A D$ を出力してから期間 $t C L$ が経過した時刻以降の時刻 T_{65} において、S D R A M は、アクティブコマンド $A C T V$ によりアクティブ状態にしたページ内の当該カラムアドレスにより指定されたアドレスに記憶されているデータ $D T$ を出力（リード）する。

【 0 0 0 5 】

その後、例えば、アクティブ状態にしたページと異なるページ（時刻 T_{61} において、出力されたアクティブコマンド $A C T V$ に含むロウアドレスと異なるロウアドレス）に対してリード動作を行う場合には、アクティブコマンド $A C T V$ を出力してから期間 $t R A S$ が経過した時刻 T_{66} において、制御装置はプリチャージコマンド $P R E$ を S D R A M に供給する。S D R A M は、プリチャージコマンド $P R E$ が供給されると、アクティブ状態にしたページのデータを再び同じアドレスに書き込むプリチャージ動作を行って、当該ページをアイドル状態にする。そして、時刻 T_{66} から期間 $t R P$ が経過した時刻 T_{68} において、制御装置はアク

ティブコマンドACTVを出力することが可能となり、以降同様の動作を行う。

【0006】

次に、図11(B)のオートプリチャージ付きのリードコマンドを用いた場合のリード動作について説明する。

時刻 T_{81} において、図示しない制御装置から出力されたロウアドレスを含むアクティブコマンドACTVがSDRAMに供給されると、SDRAMは、当該ロウアドレスにより指定されたページをアクティブ状態にする。アクティブコマンドACTVを出力してから所定の期間が経過した時刻 T_{85} において、制御装置から出力されたカラムアドレスを含むオートプリチャージ付きのリードコマンドREADAがSDRAMに供給される。なお、上記所定の期間は、アクティブコマンドACTVを出力してから期間 t_{RCD} （リードコマンドREADAが出力可能となる期間）、およびアクティブコマンドACTVを出力した後、プリチャージ動作が可能な期間 t_{RAS} からバースト長に応じた期間 t_{BL} を減じた期間が経過した期間である。

【0007】

その後、リードコマンドREADAが供給されたSDRAMは、バースト長に応じた期間 t_{BL} 後の時刻 T_{86} において、アクティブ状態にしたページのデータを再び同じアドレスに書き込むプリチャージ動作を開始し、当該ページをアイドル状態にする。また、SDRAMは、時刻 T_{87} において、アクティブ状態にしたページ内の当該カラムアドレスにより指定されたアドレスに記憶されているデータDTを出力（リード）する。このように、SDRAMは、オートプリチャージ付きのリードコマンドREADAが供給されると、カラムアドレスにより指定されたアドレスのデータを出力するとともに、自動的にプリチャージ動作を行う。

その後、時刻 T_{86} から期間 t_{RP} が経過した時刻 T_{88} において、制御装置はアクティブコマンドACTVを出力することが可能となる。

【0008】

なお、同様に従来のSDRAMにおける書き込み動作（以下、「ライト動作」とも称す。）においても、ライト動作とともにプリチャージ動作を自動的に行うオートプリチャージ付きのライトコマンドWRITAがあった。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、従来の S D R A M においては、上述したようなリード動作またはライト動作と、プリチャージ動作とを 1 つのリードコマンドにて行うことが可能なオートプリチャージ付きのリードコマンド R E A D A、ライトコマンド W R I T A があるにもかかわらず、例えば、アクティブコマンド A C T V を出力してからプリチャージ動作を行うことが可能な期間 $t_{R A S}$ (図 1 1 (B) においては 5 クロックの期間) 等の種々のタイミング制約により、データ転送効率等の性能改善を図ることができないため、オートプリチャージ付きのリードコマンド R E A D A、ライトコマンド W R I T A は、ほとんど利用されていなかった。

【 0 0 1 0 】

ところが、最近、F C R A M (Fast Cycle R A M) と呼ばれるメモリが用いられるようになり、上記期間 $t_{R A S}$ 等の種々のタイミング制約が大幅に緩和された。上記 F C R A M では、アクティブコマンドが供給された 1 クロック後にプリチャージ動作を行うことができる、すなわち連続してコマンドを供給し動作させることができるため、オートプリチャージ付きのリードコマンド、ライトコマンドによりデータ転送効率等の性能改善を図ることができる。

【 0 0 1 1 】

しかしながら、オートプリチャージ付きのリードコマンド、ライトコマンドのみを用いた場合には、F C R A M は、当該オートプリチャージ付きのリードコマンド、ライトコマンドにより指定されたアドレスに対するデータのリード動作またはライト動作後、アクティブ状態にしたページは必然的にアイドル状態になってしまう。そのため、同じページに対してリード動作またはライト動作を行う場合には、制御装置は、アクティブコマンドを F C R A M に再び供給しなければならず、オートプリチャージ付きのリードコマンド、ライトコマンドのみを用いると、データ転送効率等の性能が低くなってしまうことがあった。

【 0 0 1 2 】

本発明は、このような問題を解決するためになされたものであり、半導体記憶装置に供給するコマンドを適切に制御し、データ転送効率を向上させることがで

きるようにすることを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

本発明の半導体記憶装置の制御装置は、半導体記憶装置に対するアクセス要求に基づいて、プリチャージ動作を自動実行するオートプリチャージ機能を有効にするアクセス命令を半導体記憶装置に供給するか否か判定し、その判定結果に応じたアクセス命令を半導体記憶装置に供給することを特徴とする。

上記のように構成した本発明によれば、半導体記憶装置に対するアクセス要求が、オートプリチャージ機能を有効にするアクセス命令を供給するのに適しているか否か判断して、適切なアクセス命令であるコマンドを半導体記憶装置に供給することができるようになる。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。

【 0 0 1 5 】

図 1 において、マスタ 1 1 は、FCRAM (メモリ) 1 8 に対するアクセス (データ転送) 要求を行うためのアクセス要求信号REQを制御装置 1 2 に供給するとともに、制御装置 1 2 に対して入出力データDIOの授受を行う。このマスタ 1 1 は、例えば、CPUおよびDMAC (Direct Memory Access Controller) により構成される。上記アクセス要求信号REQには、アクセスの種別 (リードアクセスまたはライトアクセス) を示すアクセス種別情報、およびアクセスするFCRAM 1 8 のアドレスを示すアドレス情報が含まれる。なお、転送するデータサイズの情報等をさらに含むようにしても良い。

【 0 0 1 6 】

制御装置 1 2 は、要求受付部 1 3、領域設定レジスタ 1 4、オートプリチャージ判定部 1 5、コマンド制御部 1 6 およびデータ転送部 1 7 により構成され、マ

スタ 11 から供給されるアクセス要求信号REQに応じたメモリ制御信号CTLをFCRAM18に供給する。

【0017】

要求受付部13は、アクセス要求信号REQによるマスタ11からのFCRAM18に対するアクセス要求を受け付け、アクセス種別情報およびアドレス情報等を出力する。領域設定レジスタ14は、FCRAM18にアクセスする際に、オートプリチャージ付きのコマンド（リードコマンドREADAまたはライトコマンドWRITA）を用いる領域（アドレス）を設定するレジスタである。例えば、FCRAM18において、プログラムのように連続したアドレスにデータが書き込まれ、読み出す際に連続したアドレスで読み出すことが多いプログラム領域と、任意のアドレスにデータが書き込まれ、読み出す際に不連続（ランダム）なアドレスを指定して読み出すことが多いデータ領域とがある場合には、領域設定レジスタ14には、FCRAM18におけるデータ領域等をオートプリチャージ付きのコマンドを用いる領域として設定する。

【0018】

オートプリチャージ判定部15は、要求受付部13から供給されるアドレス情報に示されるアドレスと、領域設定レジスタ14に設定されているアドレスとを比較し、上記アドレス情報に示されるアドレスがオートプリチャージ付きのコマンドを用いる領域であるか否かを判定する。コマンド制御部16は、オートプリチャージ判定部15による判定の結果、およびアクセス要求信号REQのアクセス種別情報、アドレス情報に基づいて、FCRAM18に対して出力するコマンドを決定し、当該コマンドを含むメモリ制御信号CTLをFCRAM18に供給する。

【0019】

また、データ転送部17は、マスタ11から供給される入出力データDTOをメモリデータMDTとしてFCRAM18に供給したり、FCRAM18から供給されるメモリデータMDTを入出力データDTOとしてマスタ11に供給したりする。

【0020】

FCRAM18は、SDRAMと同様のインタフェースを有しており、制御装置12から供給されるメモリ制御信号CTLに従い、指定されたアドレスにメモリデータMDTを書き込んだり（ライト動作）、指定されたアドレスからデータを読み出してメモリデータMDTとして制御装置12に供給したりする（リード動作）。

【0021】

次に、動作について説明する。

なお、以下の説明では、領域設定レジスタ14には、FCRAM18にアクセスする際に、オートプリチャージ付きのコマンドを用いる領域（アドレス）が予め設定されているものとする。

【0022】

まず、マスタ11がアクセス要求信号REQを制御装置12に出力し、FCRAM18に対するアクセスを要求する。上記アクセス要求信号REQが供給された制御装置12内の要求受付部13は、マスタ11からのアクセス要求を受け付け、当該アクセス要求信号REQに基づいて、アクセス種別情報およびアドレス情報をオートプリチャージ判定部15に供給する。

【0023】

オートプリチャージ判定部15は、要求受付部13から供給されたアドレス情報に示されるアドレスと、領域設定レジスタ14に設定されているアドレスとを比較する。上記比較の結果、アドレス情報に示されるアドレスが領域設定レジスタ14に設定されているアドレスに含まれる場合には、オートプリチャージ判定部15は、オートプリチャージ付きのコマンドを出力するようにコマンド制御部16に指示する。一方、アドレス情報に示されるアドレスが領域設定レジスタ14に設定されているアドレスに含まれない場合には、オートプリチャージ判定部15は、通常（オートプリチャージなし）のコマンドを出力するようにコマンド制御部16に指示する。

【0024】

そして、コマンド制御部16は、オートプリチャージ判定部15からの指示（判定結果）、およびアクセス要求信号REQのアクセス種別情報、アドレス情報

に基づいて、図 2 に示すフローチャートに従い、FCRAM 1 8 に出力するコマンドを決定し、当該コマンドを含むメモリ制御信号CTLをFCRAM 1 8 に供給する。

【 0 0 2 5 】

図 2 は、コマンド制御部 1 6 の処理動作を示すフローチャートである。

まず、FCRAM 1 8 に対してアクセスする際、ステップ S 1 にて、コマンド制御部 1 6 は、供給されたアドレス情報に基づいて、FCRAM 1 8 に対して行うアクセスがページミスとなるか否か判断する。具体的には、コマンド制御部 1 6 は、アドレス情報に示されるロウアドレス（例えば、アドレス情報に示されるアドレスの上位 1 2 ビット）と、現在アクティブ状態であるページのロウアドレスとを比較する。

【 0 0 2 6 】

上記比較の結果、アドレス情報に示されるロウアドレスとアクティブ状態のページのロウアドレスとが一致しない場合には、コマンド制御部 1 6 はページミスと判断し、ステップ S 2 に進み、一致する場合にはページミスでない（ページヒット）と判断し、ステップ S 5 に進む。なお、アクティブ状態のページがない（全てのページがアイドル状態）場合には、ページミスと判断する。

【 0 0 2 7 】

アドレス情報に示されるロウアドレスとアクティブ状態のページのロウアドレスとが一致しない場合に進むステップ S 2 にて、コマンド制御部 1 6 は、図示しないバンク信号に基づいて、アクティブ状態にしているバンクでのページミス（ロウアドレスが一致しない）かバンクがアクティブ状態でないためのページミスかを判断する。ここで、バンクとは複数のページにより構成されるものである。

上記判断の結果、コマンド制御部 1 6 は、アクティブ状態でのページミスと判断した場合にはステップ S 3 に進み、バンクがアクティブ状態でないためのページミスと判断した場合にはステップ S 4 に進む。そして、ステップ S 3 にて、コマンド制御部 1 6 は、プリチャージコマンドPREをFCRAM 1 8 に出力し、アクティブ状態のバンクをアイドル状態にしてステップ S 4 に進む。

【 0 0 2 8 】

FCRAM18の全てのページ（バンク）がアイドル状態であるステップS4にて、コマンド制御部16は、アドレス情報により指定されたページ（ロウアドレス）をアクティブ状態にするためのアクティブコマンドACTVをFCRAM18に出力し、ステップS5に進む。

【0029】

次に、ステップS5にて、コマンド制御部16は、供給されたアクセス種別情報に基づいて、FCRAM18に対してリードアクセスを行うか、ライトアクセスを行うか判断する。

上記判断の結果、コマンド制御部16は、リードアクセスを行う場合にはステップS6に進む。ステップS6にて、コマンド制御部16は、オートプリチャージ判定部15からの指示（判定結果）によりオートプリチャージ付きのコマンドを出力するように指示されている場合には、ステップS7にてオートプリチャージ付きのリードコマンドREADAをFCRAM18に出力し処理を終了する。一方、そうでない場合には、ステップS8にて、コマンド制御部16は、通常のリードコマンドREADをFCRAM18に出力し処理を終了する。

【0030】

また、ステップS5での判断の結果、コマンド制御部16は、ライトアクセスを行う場合にはステップS9に進む。そして、リードアクセスを行う場合と同様に、ステップS9にて、コマンド制御部16は、オートプリチャージ判定部15からの指示（判定結果）によりオートプリチャージ付きのコマンドを出力するように指示されている場合には、ステップS10にてオートプリチャージ付きのライトコマンドWRITAをFCRAM18に出力し、そうでない場合には、ステップS11にて、通常のライトコマンドWRITをFCRAM18に出力し処理を終了する。

【0031】

上記図2に示す処理において、FCRAM18に対して逐次出力されるコマンドは、当該コマンドを含むメモリ制御信号CTLによりFCRAM18に供給される。

FCRAM18は、コマンド制御部16から供給されたコマンドを含むメモリ

制御信号CTLに従ってリード動作、ライト動作等を行い、記憶しているデータを読み出してメモリデータMDTとして出力したり、供給されたメモリデータMDTを記憶したりする。

【 0 0 3 2 】

なお、制御装置12（データ転送部17）とマスタ11との間で授受される入出力データDTO、および制御装置12（データ転送部17）とFCRAM18との間で授受されるメモリデータMDTは、FCRAM18に対して行うアクセスに応じて、データ転送部17によりデータの入出力タイミングがそれぞれ制御され授受される。

【 0 0 3 3 】

上述した動作によるFCRAM18に対するリード動作のタイミングチャートを図3および図4に示す。

図3は、オートプリチャージ判定部15にて、通常（オートプリチャージなし）のコマンドを出力するように判定された場合のタイミングチャートである。

図3に示すように、オートプリチャージ判定部15にて、通常（オートプリチャージなし）のコマンドを出力するように判定された場合には、コマンド制御部16は、時刻 T_1 において、アクティブコマンドACTVをFCRAM18に出力した後、ページミスとなるまで通常のリードコマンドREADをFCRAM18に出力する。すなわち、ページヒットの期間（同じページに対してアクセスする期間）は、コマンド制御部16は、通常のリードコマンドREADのみをFCRAM18に出力する。そして、上記通常のリードコマンドREADに応じて、FCRAM18から制御装置12にデータDTが出力される。

【 0 0 3 4 】

そして、異なるページに対してアクセスする際には、コマンド制御部16は、時刻 T_8 に示すようにプリチャージコマンドPREをFCRAM18に出力して全てのページをアイドル状態にする。そして、1クロック後の時刻 T_9 において異なるページをアクティブ状態にするためのアクティブコマンドACTVをFCRAM18に出力し、時刻 T_{10} において、例えば、リードコマンドREADを出力する。

【 0 0 3 5 】

図4は、オートプリチャージ判定部15にて、オートプリチャージ付きのコマンドを出力するように判定された場合のタイミングチャートである。

図4に示すように、オートプリチャージ判定部15にて、オートプリチャージ付きのコマンドを出力するように判定された場合には、コマンド制御部16は、時刻 T_{21} において、アクティブコマンドACTVをFCRAM18に出力し、1クロック後の時刻 T_{22} において、オートプリチャージ付きのリードコマンドREADAをFCRAM18に出力する。これにより、FCRAM18は、時刻 T_{21} におけるアクティブコマンドACTVによりアクティブ状態にしたページ内のリードコマンドREADAにより指定されたアドレスのデータDTを出力する（時刻 T_{23} ）とともに、プリチャージ動作を行い、当該ページをアイドル状態にする。その後、FCRAM18に対して再びアクセスする場合には、コマンド制御部16は、例えば、時刻 T_{23} に示すようにアクティブコマンドACTVをFCRAM18に出力し、時刻 T_{24} において、リードコマンドREADAを出力する。

【 0 0 3 6 】

以上、詳しく説明したように第1の実施形態によれば、FCRAM18にアクセスする際に、オートプリチャージ付きのコマンド（リードコマンドREADAまたはライトコマンドWRITA）を用いる領域を設定する領域設定レジスタ14に設定したアドレスと、要求受付部13にて受け付けたアクセス要求信号REQのアドレス情報に示されるアドレスとを比較し、領域設定レジスタ14に設定したアドレスとアドレス情報に示されるアドレスとが一致した場合には、オートプリチャージ付きのコマンドをFCRAM18に出力し、そうでない場合には通常のコマンド（リードコマンドREADまたはライトコマンドWRIT）をFCRAM18に出力する。また、領域設定レジスタ14には、例えば、アクセスするアドレスが不連続（ランダム）なことが多いデータ領域等のアドレスを設定する。

【 0 0 3 7 】

これにより、アクセスするアドレスが不連続（ランダム）なことが多い領域にアクセスする際には、オートプリチャージ付きのコマンドを出力してプリチャー

ジコマンドPREを出力することなく、FCRAM18にプリチャージ動作を自動的に実行させ、アクセスするアドレスが連続（シーケンシャル）なことが多い領域にアクセスする際には、通常のコマンドを出力することで、アクティブコマンドACTVをアクセスする度に出力することなく、リード動作またはライト動作を連続して実行することができる。したがって、FCRAM18のアクセスする領域に応じて、FCRAM18に出力するコマンドを適切に制御することで、FCRAM18にコマンドを出力する回数を減少させ、データ転送効率を向上させることができる。

【 0 0 3 8 】

なお、上述した第1の実施形態では、領域設定レジスタ14には、オートプリチャージ付きのコマンドを用いる領域（アドレス）を設定しているが、通常のコマンドを用いる領域（アドレス）を設定するようにしても良いし、オートプリチャージ付きのコマンドを用いる領域（アドレス）および通常のコマンドを用いる領域（アドレス）を設定するようにしても良い。そして、領域設定レジスタ14に設定したアドレスに基づいて、オートプリチャージ判定部15にてオートプリチャージ付きのコマンドを用いるか否か判定するようにしても良い。

【 0 0 3 9 】

（第2の実施形態）

次に、第2の実施形態について説明する。

図5は、本発明の第2の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。なお、この図5において、図1に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。

【 0 0 4 0 】

図5において、マスタ51は、上記図1に示したマスタ11と同様にアクセス要求信号REQを制御装置52に供給するとともに、制御装置52に対して入出力データDTOの授受を行う。さらに、マスタ51は、FCRAM18に対して行うアクセスが、アドレスが連続したシーケンシャルアクセスか、アドレスが不連続のランダムアクセスかのアクセスタイプ情報を示すアクセスタイプ信号S／

Rを制御装置52に供給する。

【0041】

制御装置52は、要求受付部53、オートプリチャージ判定部55、コマンド制御部16およびデータ転送部17により構成される。

要求受付部53は、マスタ51から供給されるアクセス要求信号REQによるアクセス要求を受け付け、アクセス種別情報およびアドレス情報等を出力する。また、要求受付部53は、アクセス要求信号REQとともに供給されるアクセスタイプ信号S/Rに基づいて、アクセスタイプ情報（シーケンシャルアクセスか、ランダムアクセスか）をオートプリチャージ判定部55に出力する。

オートプリチャージ判定部55は、要求受付部53から供給されるアクセスタイプ情報に基づいて、オートプリチャージ付きのコマンドを用いるか否か判定する。

【0042】

次に、動作について説明する。

要求受付部53は、アクセス要求信号REQとともにアクセスタイプ信号S/Rがマスタ51から供給されアクセス要求を受け付けると、当該アクセス要求信号REQおよびアクセスタイプ信号S/Rに基づいて、アクセス種別情報、アドレス情報およびアクセスタイプ情報をオートプリチャージ判定部55に供給する。

【0043】

オートプリチャージ判定部55は、要求受付部13から供給されたアクセスタイプ情報に基づいて、マスタ51から要求されたアクセスがシーケンシャルアクセスかランダムアクセスか判定する。上記判定の結果、オートプリチャージ判定部55は、マスタ51から要求されたアクセスがシーケンシャルアクセスの場合には、通常（オートプリチャージなし）のコマンドを出力するようにコマンド制御部16に指示し、ランダムアクセスの場合には、オートプリチャージ付きのコマンドを出力するようにコマンド制御部16に指示する。

以降のコマンド制御部16等による動作は、上述した第1の実施形態と同様であるので省略する。

【 0 0 4 4 】

なお、上述した第2の実施形態におけるFCRAM18に対するリード動作のタイミングチャートは、上述した第1の実施形態に示す図3および図4に示すタイミングチャートと同様である。

【 0 0 4 5 】

以上、説明したように第2の実施形態によれば、FCRAM18にアクセスする際、アクセス要求信号REQとともに供給されるアクセスタイプ信号S/Rに基づいて、ランダムアクセスの場合には、オートプリチャージ付きのコマンドをFCRAM18に出力し、シーケンシャルアクセスの場合には、通常のコマンドをFCRAM18に出力する。

【 0 0 4 6 】

これにより、ランダムアクセスにより不連続なアドレスにアクセスする場合には、オートプリチャージ付きのコマンドを出力することでプリチャージコマンドPREを出力することなく、FCRAM18にプリチャージ動作を自動的に実行させ、シーケンシャルアクセスにより連続したアドレスにアクセスする場合には、通常のコマンドを出力することで、アクティブコマンドACTVにアクセスする度に出力することなく、リード動作またはライト動作を連続して実行することができる。したがって、FCRAM18に対するアクセスの方法に応じて、FCRAM18に出力するコマンドを適切に制御し、FCRAM18にコマンドを出力する回数を減少させ、データ転送効率を向上させることができる。

【 0 0 4 7 】

(第3の実施形態)

次に、第3の実施形態について説明する。

図6は、本発明の第3の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。なお、この図6において、図1に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。

【 0 0 4 8 】

図6において、マスタ61は、上記図1に示したマスタ11と同様にアクセス

要求信号REQを制御装置62に供給するとともに、制御装置62に対して入出力データDTOの授受を行う。なお、本実施形態におけるアクセス要求信号REQには、アクセス種別情報、アドレス情報に加え、転送するデータサイズを示すデータサイズ情報が含まれる。

【0049】

制御装置62は、要求受付部63、転送回数カウンタ64、オートプリチャージ判定部65、コマンド制御部16およびデータ転送部17により構成される。

要求受付部63は、マスタ61から供給されるアクセス要求信号REQによるアクセス要求を受け付け、当該アクセス要求信号REQに基づいて、アクセス種別情報、アドレス情報等をオートプリチャージ判定部65に出力するとともに、データサイズ情報を転送回数カウンタ64に出力する。

【0050】

転送回数カウンタ64は、要求受付部63から供給されるデータサイズ情報と、FCRAM18に設定したバースト長（1つのコマンドに対して行うデータの入出力動作の回数）およびメモリデータMDTを授受するためのデータバス幅とに基づいて、FCRAM18に対して出力するリードコマンドまたはライトコマンドの出力回数を算出する。例えば、上記データサイズ情報により示されるデータサイズが32ビット、FCRAM18に設定したバースト長が2、メモリデータMDTを授受するためのデータバス幅が8ビットの場合には、コマンドの出力回数は $32 / (2 \times 8) = 2$ となる。また、転送回数カウンタ64は、上記算出した出力回数を初期値として、コマンド制御部16からリードコマンドまたはライトコマンドがFCRAM18に出力される毎にカウンタ値を1ずつデクリメントするとともに、カウンタ値をオートプリチャージ判定部65に供給する。

オートプリチャージ判定部65は、転送回数カウンタ64から供給されるカウンタ値に基づいて、最後のコマンド出力となるときのみオートプリチャージ付きのコマンドを出力するように判定して、それをコマンド制御部16に指示し、最後のコマンド出力以外のときには通常のコマンドを出力するように判定する。

【0051】

次に、動作について説明する。

要求受付部63は、マスタ61からアクセス要求信号REQによるアクセス要求を受け付けると、当該アクセス要求信号REQに基づいて、アクセス種別情報、アドレス情報等をオートプリチャージ判定部65に出力し、データサイズ情報を転送回数カウンタ64に出力する。

【0052】

上記データサイズ情報が供給された転送回数カウンタ64は、FCRAM18のバースト長およびメモリデータMDTを授受するデータバス幅に基づいて、FCRAM18に対するコマンド（リードコマンドまたはライトコマンド）の出力回数を算出する。そして、算出した出力回数を初期値としてカウンタに設定するとともに、カウンタ値をオートプリチャージ判定部65に供給する。

【0053】

オートプリチャージ判定部65は、転送回数カウンタ64から供給されるカウンタ値が1の場合には、オートプリチャージ付きのコマンドを出力するようにコマンド制御部16に指示し、そうでない場合には、通常（オートプリチャージなし）のコマンドを出力するようにコマンド制御部16に指示する。

【0054】

上記オートプリチャージ判定部65からの指示に応じて、コマンド制御部16は、上述した第1の実施形態と同様にしてFCRAM18に対して出力するコマンドを決定し、当該コマンドを含むメモリ制御信号CTLをFCRAM18に出力する。このとき、転送回数カウンタ64は、リードコマンドREADまたはライトコマンドWRITEがコマンド制御部16からFCRAM18に出力される毎にカウンタ値を1ずつデクリメントし、オートプリチャージ判定部65に供給する。

【0055】

これにより、データサイズ情報により示されるデータサイズが、（FCRAM18に設定されたバースト長）×（メモリデータMDTを授受するデータバス幅）よりも大きいため、FCRAM18に対して連続したアドレスで複数回アクセスする必要がある場合には、オートプリチャージ判定部65は、最後のコマンド出力となるときのみオートプリチャージ付きのコマンドを出力するように判定し

て、それをコマンド制御部 1 6 に指示し、最後のコマンド出力以外ときには通常のコマンドを出力するように判定して、それをコマンド制御部 1 6 に指示する。すなわち、制御装置 6 2 からは、コマンドが図 7 に示すように F C R A M 1 8 に出力される。

【 0 0 5 6 】

図 7 は、上記図 6 に示す第 3 の実施形態によるリード動作のタイミングチャートの一例である。

なお、図 7 においては、データサイズ情報に基づいて、転送回数カウンタ 6 4 により算出されたリードコマンドの出力回数が 4 回の場合について示している。

【 0 0 5 7 】

時刻 T_{41} において、コマンド制御部 1 6 は、アクティブコマンド A C T V を F C R A M 1 8 に出力する。次に、コマンド制御部 1 6 は、当該アクセスでのリードコマンドの総出力回数より 1 回少なく、時刻 T_{42} 、 T_{43} 、 T_{44} において、通常のリードコマンド R E A D を F C R A M 1 8 に出力する。そして、当該アクセスでの最後のリードコマンド出力となる時刻 T_{45} において、オートプリチャージ付きのリードコマンド R E A D A を F C R A M 1 8 に出力する。その後、F C R A M 1 8 に再びアクセスする場合には、例えば、時刻 T_{46} に示すように、コマンド制御部 1 6 は、アクティブコマンド A C T V を F C R A M 1 8 に出力し、アクセスを開始する。

【 0 0 5 8 】

以上、説明したように第 3 の実施形態によれば、要求受付部 6 3 にて受け付けたアクセス要求信号 R E Q のデータサイズ情報から転送回数カウンタ 6 4 により算出したコマンドの出力回数に基づいて、最後に出力するコマンドのみオートプリチャージ付きのコマンドを F C R A M 1 8 に出力し、それ以外は通常のコマンドを F C R A M 1 8 に出力する。

【 0 0 5 9 】

これにより、アクセス要求にて要求されたデータ量を転送するために、アドレスを連続させて複数回、F C R A M 1 8 に対してアクセスする際には、連続してアクセスする期間は、通常のコマンドを出力してリード動作またはライト動作を

連続して実行し、連続してアクセスする期間が終了する際には、オートプリチャージ付きのコマンドを出力してプリチャージコマンドPREを出力することなく、FCRAM18にプリチャージ動作を自動的に実行させることができる。したがって、連続してアクセスする際に、FCRAM18にコマンドを出力する回数を最小にすることができ、データ転送効率を向上させることができる。

【0060】

(第4の実施形態)

次に、第4の実施形態について説明する。

図8は、本発明の第4の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。なお、この図8において、図1に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。

【0061】

図8において、第1および第2のマスタ81、89は、上記図1に示したマスタ11と同様にアクセス要求信号REQ1、REQ2を制御装置82にそれぞれ供給するとともに、制御装置82に対して入出力データDIOの授受を行う。

【0062】

制御装置82は、要求受付部83、オートプリチャージ判定部85、コマンド制御部16およびデータ転送部17により構成される。

要求受付部83は、第1および第2のマスタ81、89からそれぞれ供給されるアクセス要求信号REQ1、REQ2によるアクセス要求を受け付け、アクセス要求信号REQ1、REQ2に基づいて、アクセス種別情報およびアドレス情報等をオートプリチャージ判定部85に出力する。また、要求受付部83は、アクセス要求信号REQ1、REQ2がそれぞれ異なる入力端子を介して入力されるようになっており、何れの入力端子を介してアクセス要求が入力されたかに応じて、第1および第2のマスタ81、89の何れのマスタからのアクセス要求であるかを示すマスタ情報を生成して、オートプリチャージ判定部85に出力する。

【0063】

オートプリチャージ判定部 85 は、要求受付部 83 から供給されるマスタ情報に基づいて、オートプリチャージ付きのコマンドを用いるか否か判定する。なお、オートプリチャージ判定部 85 は、第 1 および第 2 のマスタ 81、89 が、CPU、周辺回路のように不連続なアドレスに対して単発的にアクセス要求を行うマスタであるか、または DMAC のようにある領域（連続した複数のアドレス）に対してアクセス要求を行うマスタであるかに応じて、オートプリチャージ付きのコマンドを用いるか否かが第 1 および第 2 のマスタ 81、89 毎にそれぞれ決定されている。

【0064】

なお、以下の説明では、オートプリチャージ判定部 85 には、FCRAM18 に対する第 1 のマスタ 81 からのアクセスにおいて、通常のコマンドを用いるように決定され、第 2 のマスタ 89 からのアクセスにおいて、オートプリチャージ付きのコマンドを用いるように決定されているものとする。

【0065】

次に、動作について説明する。

要求受付部 83 は、アクセス要求信号 REQ1、REQ2 による第 1 および第 2 のマスタ 81、89 からのアクセス要求を受け付けると、供給されたアクセス要求信号 REQ1、REQ2 に基づいて、アクセス種別情報、アドレス情報をオートプリチャージ判定部 85 に供給する。また、要求受付部 83 は、供給されたアクセス要求信号 REQ1、REQ2 により、第 1 および第 2 のマスタ 81、89 の何れからのアクセス要求であるか判断し、判断結果をマスタ情報としてオートプリチャージ判定部 85 に供給する。

【0066】

オートプリチャージ判定部 85 は、要求受付部 83 から供給されたマスタ情報に基づいて、第 1 のマスタ 81 からのアクセス要求の場合には、通常のコマンドを出力するようにコマンド制御部 16 に指示し、第 2 のマスタ 89 からのアクセス要求の場合には、オートプリチャージ付きのコマンドを出力するようにコマンド制御部 16 に指示する。

以降のコマンド制御部 16 等による動作は、上述した第 1 の実施形態と同様で

あるので省略する。

【 0 0 6 7 】

なお、上述した第 4 の実施形態における F C R A M 1 8 に対するリード動作のタイミングチャートは、第 1 のマスタ 8 1 からのアクセス要求の場合には、上述した第 1 の実施形態に示す図 3 と同様であり、第 2 のマスタ 8 9 からのアクセス要求の場合には、上述した第 1 の実施形態に示す図 4 に示すタイミングチャートと同様である。

【 0 0 6 8 】

以上、説明したように第 4 の実施形態によれば、要求受付部 8 3 にて受け付けたアクセス要求信号 R E Q 1 または R E Q 2、すなわちアクセス要求信号を出力したマスタ 8 1 または 8 9 に応じて、オートプリチャージ付きのコマンドを出力するか通常のコマンドを出力するか判定して、F C R A M 1 8 にコマンドを出力する。

【 0 0 6 9 】

これにより、アクセスするアドレスが不連続（ランダム）なことが多いマスタが F C R A M 1 8 にアクセスする際には、オートプリチャージ付きのコマンドを出力してプリチャージコマンド P R E を出力することなく、F C R A M 1 8 にプリチャージ動作を自動的に実行させ、アクセスするアドレスが連続（シーケンシャル）なことが多いマスタが F C R A M 1 8 にアクセスする際には、通常のコマンドを出力することで、アクティブコマンド A C T V をアクセスする度に出力することなく、リード動作またはライト動作を連続して実行することができる。例えば、D M A C 等の連続したアドレスにアクセスすることが多いマスタからのアクセス要求のときには、通常のコマンドを F C R A M 1 8 に出力することができる。したがって、F C R A M 1 8 に対するマスタのアクセス方法に応じて、F C R A M 1 8 に出力するコマンドを適切に制御して、F C R A M 1 8 にコマンドを出力する回数を減少し、データ転送効率を向上させることができる。

【 0 0 7 0 】

なお、上述した第 4 の実施形態においては、オートプリチャージ付きのコマンドを用いるか否かを第 1 および第 2 のマスタ 8 1、8 9 毎にオートプリチャージ

判定部 8 5 にそれぞれ予め決定しておくようにしていたが、図 9 に示すように、第 1 および第 2 のマスタ 8 1、8 9 毎にオートプリチャージ付きのコマンドを用いるか否かを外部から変更可能なマスタ設定レジスタ 9 4 を設けて設定するようにしても良い。このようにした場合には、オートプリチャージ判定部 9 5 は、供給されたマスタ情報に応じて、通常のコマンドを出力するか、オートプリチャージ付きのコマンドを出力するかをコマンド制御部 1 6 に指示する際、マスタ設定レジスタ 9 4 を参照して、通常のコマンドを出力するか、オートプリチャージ付きのコマンドを出力するか決定してコマンド制御部 1 6 に指示するようにすれば良い。また、マスタ設定レジスタ 9 4 を設けることで、製造時に関わらず、任意の時点で、マスタ毎にオートプリチャージ付きのコマンドを用いるか否かを変更し、設定できる汎用性が非常に高くなる。

【 0 0 7 1 】

(第 5 の実施形態)

次に、第 5 の実施形態について説明する。

図 1 0 は、本発明の第 5 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。なお、この図 1 0 において、図 1 に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。

【 0 0 7 2 】

図 1 0 において、マスタ 1 0 1 は、上記図 1 に示したマスタ 1 1 と同様にアクセス要求信号 R E Q を制御装置 1 0 2 にそれぞれ供給するとともに、制御装置 1 0 2 に対して入出力データ D T O の授受を行う。

【 0 0 7 3 】

制御装置 1 0 2 は、要求受付部 1 0 3、プリフェッチ制御部 1 0 4、オートプリチャージ判定部 1 0 5、コマンド制御部 1 6 およびデータ転送部 1 7 により構成される。

要求受付部 1 0 3 は、アクセス要求信号 R E Q によるマスタ 1 0 1 からのアクセス要求を受け付け、アクセス要求信号 R E Q のアクセス種別情報に基づいて、アクセス要求がライトアクセスの場合には、アドレス情報とライトアクセス要求

信号WRQとをオートプリチャージ判定部105に出力する。また、要求受付部103は、アクセス要求がリードアクセスの場合には、その旨をプリフェッチ制御部104に通知するとともにアドレス情報をプリフェッチ制御部104に供給する。

【0074】

プリフェッチ制御部104は、要求受付部103から供給されるアドレス情報に示されるアドレス（アドレス内のカラムアドレス部分）を増加（カウントアップ）して、アドレス情報に示されるFCRAM18のアドレスから所定の連続したアドレス分のデータをプリフェッチ（先読み）するためのアドレスを生成する。そして、プリフェッチ制御部104は、供給されるアドレス情報に示されるアドレスおよび生成したアドレスとともに、リードアクセス要求信号RRQをオートプリチャージ判定部105に出力する。また、プリフェッチ制御部104は、データをプリフェッチ（先読み）するためのアドレスを生成しているときに、異なるページのアドレスになる、すなわちアドレス内のカラムアドレス部分のアドレス増加（カウントアップ）においてキャリーが発生したときにはその旨をオートプリチャージ判定部105に通知する。

オートプリチャージ判定部105は、要求受付部103から供給されるライトアクセス要求信号WRQおよびプリフェッチ制御部104から供給されるリードアクセス要求信号RRQに基づいて、オートプリチャージ付きのコマンドを用いるか否か判定する。

【0075】

次に、動作について説明する。

要求受付部103は、アクセス要求信号REQによるマスタ101からのアクセス要求を受け付けると、供給されたアクセス要求信号REQのアクセス種別情報に基づいて、アクセス要求がライトアクセスであるかリードアクセスであるか判断する。

【0076】

上記判断の結果、マスタ101からのアクセス要求がライトアクセスの場合には、要求受付部103は、アドレス情報とともにライト要求信号WRQをオート

プリチャージ判定部 1 0 5 に供給する。オートプリチャージ判定部 1 0 5 は、要求受付部 1 0 3 からライト要求信号 WRQ が供給されたときには、オートプリチャージ付きのコマンドを出力するようにコマンド制御部 1 6 に指示する。

【 0 0 7 7 】

要求受付部 1 0 3 での判断の結果、マスタ 1 0 1 からのアクセス要求がリードアクセスの場合には、要求受付部 1 0 3 は、その旨をプリフェッチ制御部 1 0 4 に通知するとともに、アドレス情報をプリフェッチ制御部 1 0 4 に供給する。リードアクセスである旨の通知を受けたプリフェッチ制御部 1 0 4 は、供給されたアドレス情報が示すアドレス（アドレス内のカラムアドレスに相当する部分）を増加（カウントアップ）し、データをプリフェッチするためのアドレスを生成する。さらに、プリフェッチ制御部 1 0 4 は、アドレス情報、生成したデータをプリフェッチするためのアドレスおよびリード要求信号 RRQ をオートプリチャージ判定部 1 0 5 に供給する。なお、プリフェッチ制御部 1 0 4 は、アドレスを増加（カウントアップ）している際に、キャリーが発生した場合には、その旨をオートプリチャージ判定部 1 0 5 に通知する。

【 0 0 7 8 】

オートプリチャージ判定部 1 0 5 は、プリフェッチ制御部 1 0 4 からリード要求信号 RRQ が供給され、かつキャリーが発生した旨の通知がない場合には、通常のコマンドを出力するようにコマンド制御部 1 6 に指示する。また、オートプリチャージ判定部 1 0 5 は、プリフェッチ制御部 1 0 4 からリード要求信号 RRQ が供給されたもののキャリーが発生した旨の通知があった場合には、オートプリチャージ付きのコマンドを出力するようにコマンド制御部 1 6 に指示する。

以降のコマンド制御部 1 6 等による動作は、上述した第 1 の実施形態と同様であるので省略する。

【 0 0 7 9 】

以上のような動作により、図 1 0 に示す第 5 の実施形態においては、マスタ 1 0 1 からリードアクセスが要求され、データをプリフェッチするためのアドレスにキャリーが発生しない限りは、コマンド制御部 1 6 から通常のリードコマンド READ が F C R A M 1 8 に出力され、そうでない場合には、オートプリチャー

ジ付きのコマンドREADA、WRITAがFCRAM18に出力される。

【0080】

なお、上述した第5の実施形態におけるFCRAM18に対するリード動作のタイミングチャートは、上述した第3の実施形態に示す図7と同様に、通常のリードコマンドREADを連続してFCRAM18に出力し、このときデータをプリフェッチするためのアドレスにキャリーが発生した場合には、時刻 T_{45} に示すようにオートプリチャージ付きのリードコマンドREADAをFCRAM18に出力する。

【0081】

以上、説明したように第5の実施形態によれば、マスタ101からリードアクセスが要求されたときには、その要求により指定されたアドレスから所定の連続したアドレス分のデータをプリフェッチ（先読み）する。そして、マスタ101からのアクセス要求によりリードアクセスが要求されたときには、通常のコマンドをFCRAM18に出力し、アクセス要求によりライトアクセスが要求されたときには、オートプリチャージ付きのコマンドをFCRAM18に出力する。

【0082】

これにより、アクセス要求によりリードアクセスが要求されたときには、通常のコマンドを出力するとともにデータをプリフェッチすることで、連続したアドレスにアクセスする場合には、リード動作に要する時間を短くすることができ、データ転送効率を向上させることができる。

【0083】

なお、上述した第1～第5の実施形態においては、図3、図4および図7によりリード動作のタイミングチャートを示したが、ライト動作は、ライトコマンドWRITまたはWRITAとともにデータをFCRAM18に供給するようにすれば良いだけで、通常のコマンドWRIT、オートプリチャージ付きのライトコマンドWRITAを用いた場合のコマンド出力に関する基本的な動作のタイミングチャートは同じである。

【0084】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの

一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【 0 0 8 5 】

(付記 1) アクセス命令に応じてプリチャージ動作を自動実行するオートプリチャージ機能を有する半導体記憶装置の制御装置であって、

上記半導体記憶装置に対するアクセス要求を受信する要求受信回路と、

上記要求受信回路により受信したアクセス要求に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する判定回路と、

上記判定回路による判定結果に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令または上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給する命令出力回路とを備えることを特徴とする半導体記憶装置の制御装置。

【 0 0 8 6 】

(付記 2) 上記半導体記憶装置における所定の領域を示すアドレス情報を設定する領域設定回路をさらに備え、

上記アクセス要求は、上記半導体記憶装置に対してアクセスするアクセスアドレス情報を有し、

上記判定回路は、上記領域設定回路に設定されたアドレス情報と、上記要求受信回路により受信したアクセス要求のアクセスアドレス情報とを比較して、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする付記 1 に記載の半導体記憶装置の制御装置。

【 0 0 8 7 】

(付記 3) 上記領域設定回路は、上記オートプリチャージ機能を有効にする上記アクセス命令にてアクセスする上記半導体記憶装置の領域を示すアドレス情報を設定し、

上記判定回路は、上記要求受信回路により受信したアクセス要求のアクセスアドレス情報が上記領域設定回路に設定されたアドレス情報に含まれる場合には、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 2 に記載の半導体記憶装置の制御装置。

【 0 0 8 8 】

(付記 4) 上記領域設定回路は、上記オートプリチャージ機能を無効にする上記アクセス命令にてアクセスする上記半導体記憶装置の領域を示すアドレス情報を設定し、

上記判定回路は、上記要求受信回路により受信したアクセス要求のアクセスアドレス情報と上記領域設定回路に設定されたアドレス情報とが異なる場合には、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 2 に記載の半導体記憶装置の制御装置。

(付記 5) 上記領域設定回路は、外部から設定が変更可能なレジスタであることを特徴とする付記 2 に記載の半導体記憶装置の制御装置。

【 0 0 8 9 】

(付記 6) 上記要求受信回路は、上記アクセス要求とともにアクセスタイプを示す信号を受信し、

上記判定回路は、上記要求受信回路により受信したアクセスタイプを示す信号に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 1 に記載の半導体記憶装置の制御装置。

【 0 0 9 0 】

(付記 7) 上記アクセスタイプを示す信号は、上記半導体記憶装置の連続した領域にアクセスするシーケンシャルアクセスまたは上記半導体記憶装置の不連続な領域にアクセスするランダムアクセスであることを示す信号であり、

上記判定回路は、上記要求受信回路により受信したアクセスタイプを示す信号によりランダムアクセスであることが示される場合には、上記オートプリチャ-

ジ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 6 に記載の半導体記憶装置の制御装置。

【 0 0 9 1 】

(付記 8) 上記アクセス要求は、転送するデータ量を示すデータサイズ情報を有し、

上記要求受信回路により受信したアクセス要求のデータサイズ情報に基づいて、上記半導体記憶装置に対するアクセス回数を算出する転送回数演算回路をさらに備え、

上記判定回路は、上記転送回数演算回路により算出されたアクセス回数に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする付記 1 に記載の半導体記憶装置の制御装置。

【 0 0 9 2 】

(付記 9) 上記転送回数演算回路は、上記半導体記憶装置に対するアクセス回数を計数するための計数回路を備え、

上記判定回路は、上記計数回路による計数値に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする付記 8 に記載の半導体記憶装置の制御装置。

【 0 0 9 3 】

(付記 1 0) 上記計数回路は、上記要求受信回路により受信したアクセス要求のデータサイズ情報に基づいて算出した上記半導体記憶装置に対するアクセス回数を初期値とし、上記命令出力回路から上記半導体記憶装置にアクセス命令が出力される毎に計数値を 1 ずつ減算し、

上記判定回路は、上記計数回路による計数値が 1 のときに、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 9 に記載の半導体記憶装置の制御装置。

【 0 0 9 4 】

(付記 1 1) 上記要求受信回路は、複数のマスタ回路からそれぞれ出力される上記半導体記憶装置に対するアクセス要求を受信し、

上記判定回路は、上記要求受信回路により受信したアクセス要求を出力したマスタ回路に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定することを特徴とする付記 1 に記載の半導体記憶装置の制御装置。

【 0 0 9 5 】

(付記 1 2) 上記要求受信回路により受信したアクセス要求に対し、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するマスタ回路を設定するマスタ設定回路をさらに備えることを特徴とする付記 1 に記載の半導体記憶装置の制御装置。

(付記 1 3) 上記マスタ設定回路は、外部から設定が変更可能なレジスタであることを特徴とする付記 1 2 に記載の半導体記憶装置の制御装置。

【 0 0 9 6 】

(付記 1 4) 上記マスタ設定回路は、上記要求受信回路により受信する上記複数のマスタ回路からのそれぞれのアクセス要求に対し、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か設定可能であることを特徴とする付記 1 2 に記載の半導体記憶装置の制御装置。

【 0 0 9 7 】

(付記 1 5) 上記要求受信回路により受信したアクセス要求がリードアクセス要求であった際に、上記アクセス要求により指定される領域のデータに加え、上記指定される領域に連続した所定の領域のデータを読み出すための先読み制御回路をさらに備え、

上記判定回路は、上記要求受信回路により受信したアクセス要求がリードアクセス要求のときには、上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 1 に記載の半導体記憶装置の制御装置。

【 0 0 9 8 】

(付記 1 6) アクセス命令に応じてプリチャージ動作を自動実行するオートプリチャージ機能を有する半導体記憶装置の制御方法であって、

上記半導体記憶装置に対するアクセス要求を受信し、

受信した上記アクセス要求に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定し、

上記判定結果に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令または上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給することを特徴とする半導体記憶装置の制御方法。

【 0 0 9 9 】

(付記 1 7) 上記アクセス要求は、上記半導体記憶装置に対してアクセスするアクセスアドレス情報を有し、

上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する際、設定された上記半導体記憶装置における所定の領域を示すアドレス情報と、上記受信したアクセス要求のアクセスアドレス情報との比較を行うことにより判定することを特徴とする付記 1 6 に記載の半導体記憶装置の制御方法。

【 0 1 0 0 】

(付記 1 8) 上記所定の領域は、上記オートプリチャージ機能を有効にする上記アクセス命令にてアクセスする上記半導体記憶装置の領域を示すアドレス情報であり、

上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する際、設定された上記アドレス情報と、上記受信したアクセス要求のアクセスアドレス情報とが一致した場合には、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 1 7 に記載の半導体記憶装置の制御方法。

【 0 1 0 1 】

(付記 1 9) 上記アクセス要求とともにアクセスタイプを示す信号を受信し、

上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する際、受信したアクセスタイプを示す信号に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 1 6 に記載の半導体記憶装置の制御方法。

【 0 1 0 2 】

（付記 2 0）上記アクセスタイプを示す信号は、上記半導体記憶装置の連続した領域にアクセスするシーケンシャルアクセスまたは上記半導体記憶装置の不連続な領域にアクセスするランダムアクセスであることを示す信号であり、

上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する際、上記受信したアクセスタイプを示す信号によりランダムアクセスであることが示される場合には、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 1 9 に記載の半導体記憶装置の制御方法。

【 0 1 0 3 】

（付記 2 1）上記受信したアクセス要求がリードアクセス要求であった際に、上記アクセス要求により指定される領域のデータに加え、上記指定される領域に連続した所定の領域のデータを読み出すための先読み機能を有し、

上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定する際、上記受信したアクセス要求がリードアクセス要求のときには、上記オートプリチャージ機能を無効にした上記アクセス命令を上記半導体記憶装置に供給すると判定することを特徴とする付記 1 6 に記載の半導体記憶装置の制御方法。

【 0 1 0 4 】

（付記 2 2）アクセス命令に応じてプリチャージ動作を自動実行するオートプリチャージ機能を有する半導体記憶装置の制御方法であって、

転送するデータ量を示すデータサイズ情報を有する上記半導体記憶装置に対するアクセス要求を受信し、

受信した上記アクセス要求のデータサイズ情報に基づいて、上記半導体記憶装置に対するアクセス回数を算出し、

上記算出されたアクセス回数に基づいて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否か判定し、

上記判定結果に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令または上記オートプリチャージ機能を無効にする上記アクセス命令を上記

半導体記憶装置に供給することを特徴とする半導体記憶装置の制御方法。

【0105】

(付記23) アクセス命令に応じてプリチャージ動作を自動実行するオートプリチャージ機能を有する半導体記憶装置の制御方法であって、

複数のマスタ回路の何れか1つのマスタ回路から出力される上記半導体記憶装置に対するアクセス要求を受信し、

受信した上記アクセス要求を出力したマスタ回路に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令を上記半導体記憶装置に供給するか否かを判定し、

上記判定結果に応じて、上記オートプリチャージ機能を有効にする上記アクセス命令または上記オートプリチャージ機能を無効にする上記アクセス命令を上記半導体記憶装置に供給することを特徴とする半導体記憶装置の制御方法。

【0106】

【発明の効果】

以上説明したように、本発明によれば、受信した半導体記憶装置に対するアクセス要求に基づいて、プリチャージ動作を自動実行するオートプリチャージ機能を有効にするアクセス命令を半導体記憶装置に供給するか否かを判定し、その判定結果に応じて、オートプリチャージ機能を有効にするアクセス命令またはオートプリチャージ機能を無効にするアクセス命令を半導体記憶装置に供給する。

これにより、半導体記憶装置に対するアクセス要求が、オートプリチャージ機能を有効にするアクセス命令を供給するのに適しているか否かを判断して、アクセス命令であるコマンドを半導体記憶装置に適切に供給することができ、データ転送効率を向上させることができる。

【図面の簡単な説明】

【図1】

第1の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。

【図2】

コマンド制御部の動作を示すフローチャートである。

【図 3】

第 1 の実施形態における半導体記憶装置の制御装置のリード動作（オートプリチャージなし）のタイミングチャートである。

【図 4】

第 1 の実施形態における半導体記憶装置の制御装置のリード動作（オートプリチャージあり）のタイミングチャートである。

【図 5】

第 2 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。

【図 6】

第 3 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。

【図 7】

第 3 の実施形態における半導体記憶装置の制御装置のリード動作のタイミングチャートである。

【図 8】

第 4 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。

【図 9】

第 4 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の他の構成例を示すブロック図である。

【図 1 0】

第 5 の実施形態による半導体記憶装置の制御装置を適用したメモリ制御装置の構成例を示すブロック図である。

【図 1 1】

従来の S D R A M におけるリード動作のタイミングチャートである。

【符号の説明】

1 1 マスタ

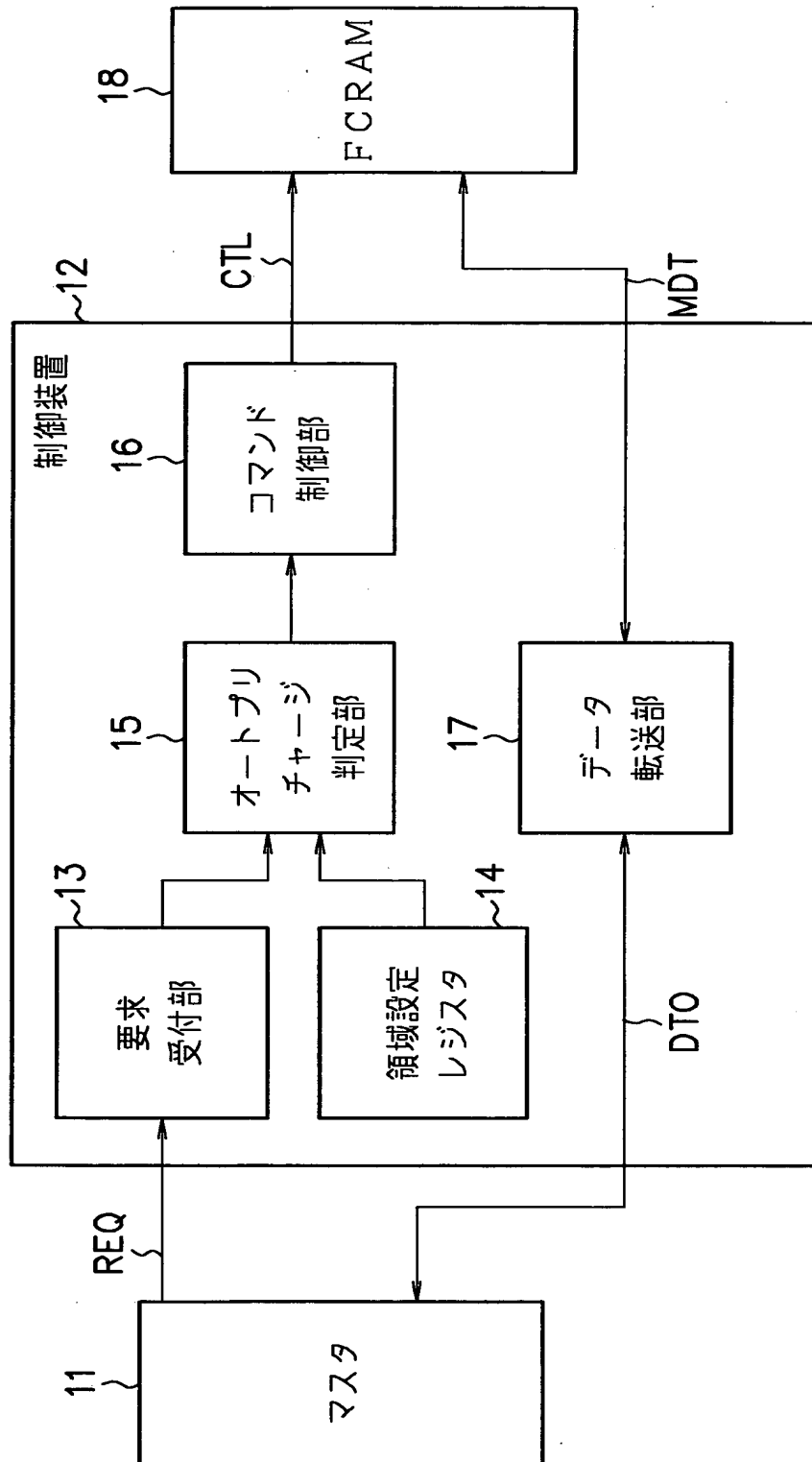
1 2 制御装置

- 1 3 要求受付部
- 1 4 領域設定レジスタ
- 1 5 オートプリチャージ判定部
- 1 6 コマンド制御部
- 1 7 データ転送部
- 1 8 メモリ (F C R A M)
- REQ アクセス要求信号
- CTL メモリ制御信号
- MDT メモリデータ
- DTO 入出力データ

【書類名】

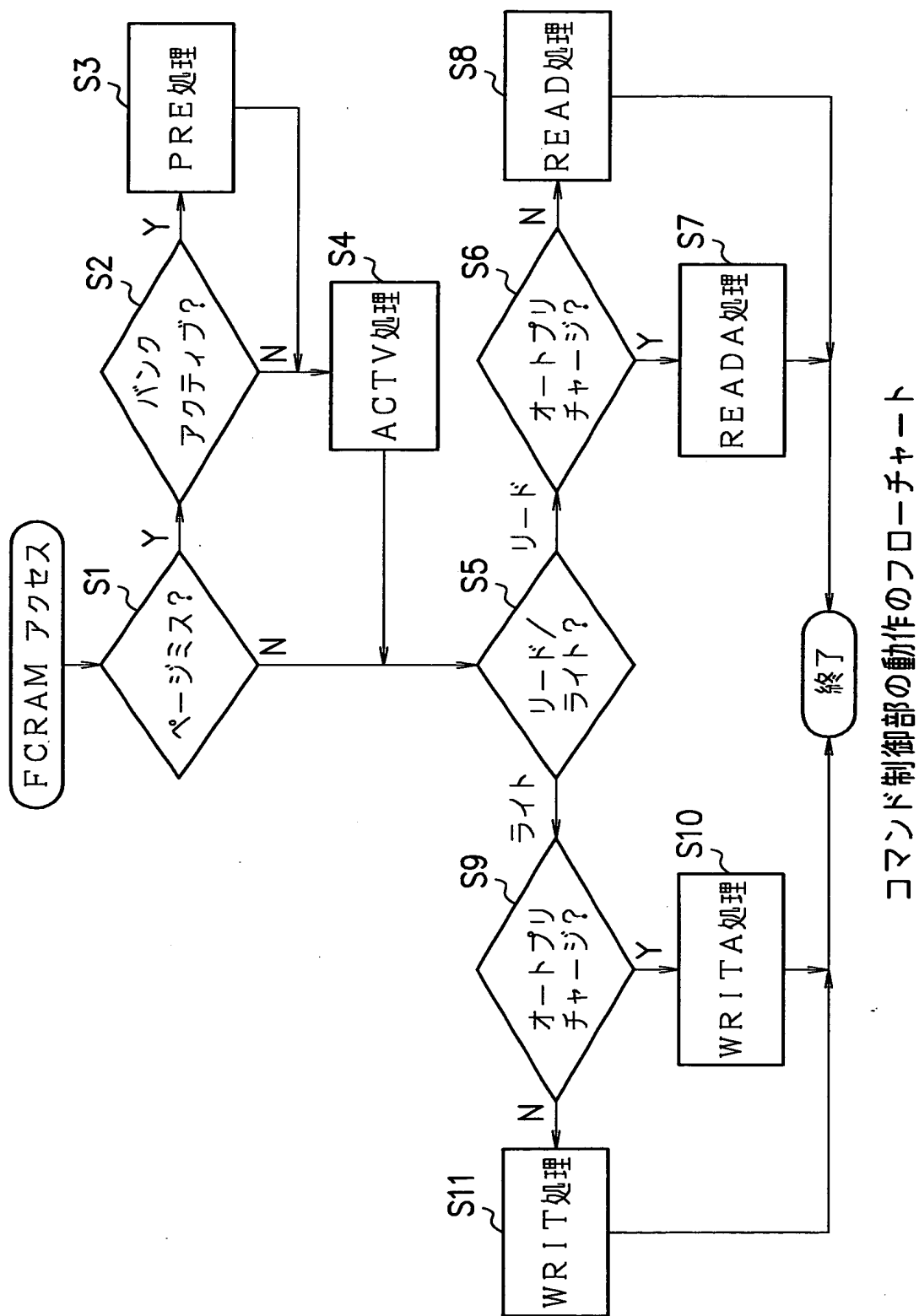
図面

【図1】



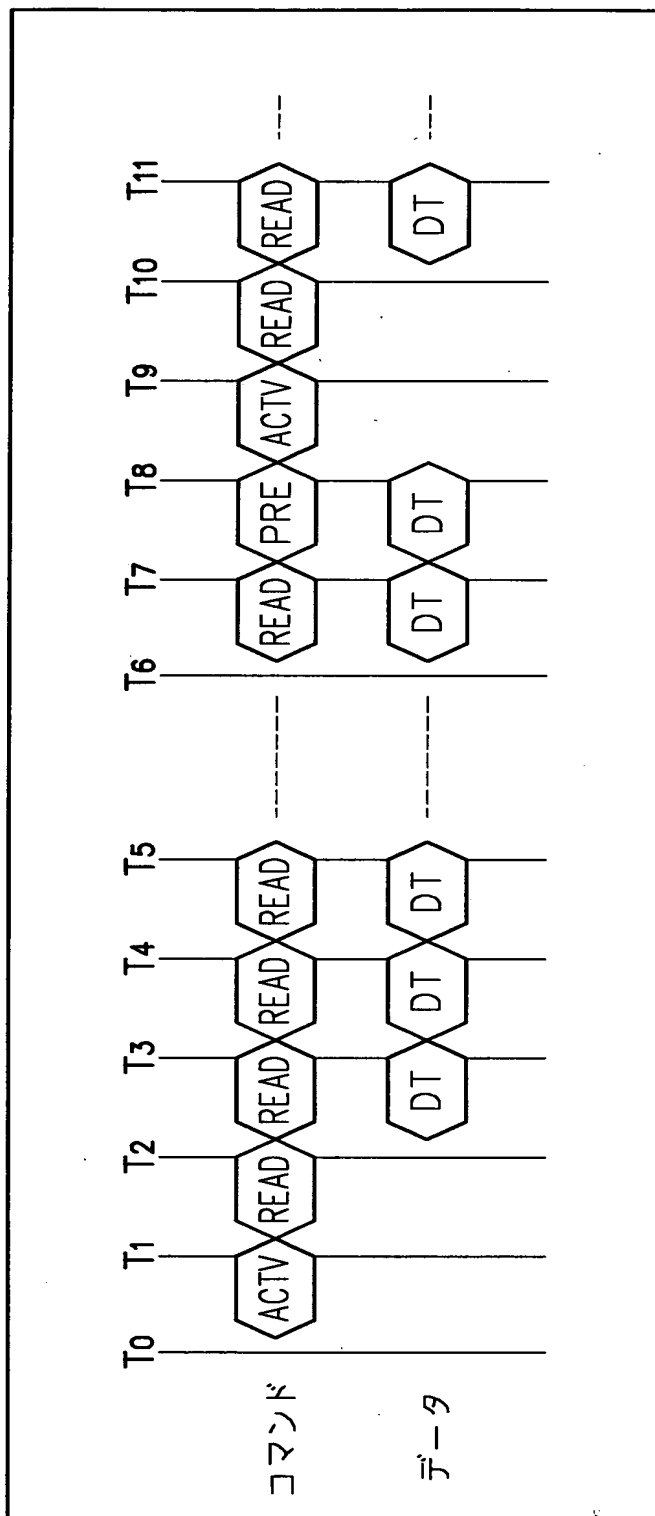
第1の実施形態

【図2】



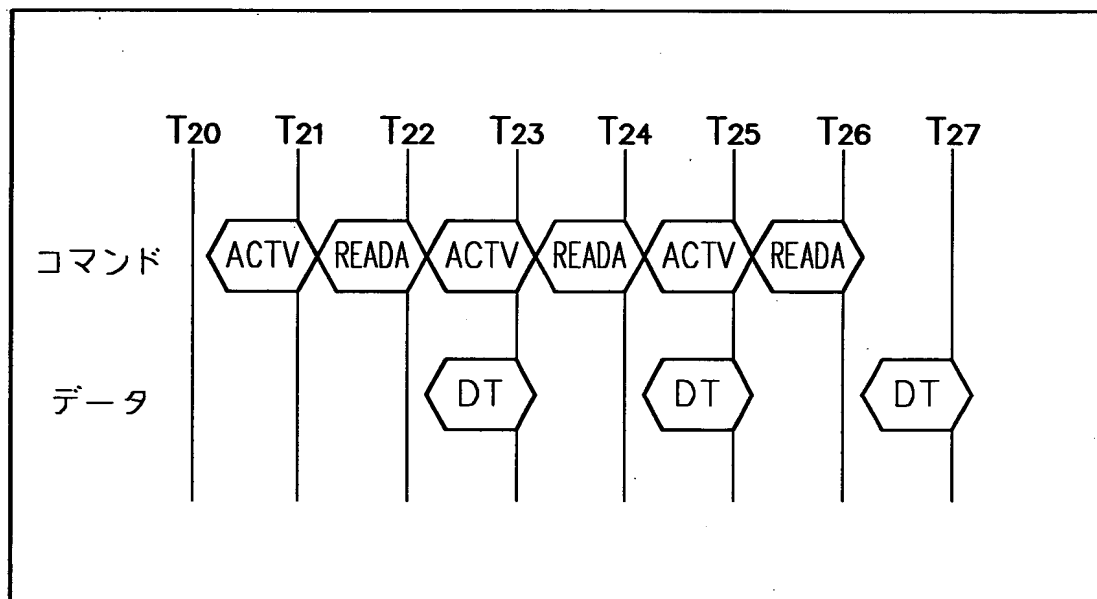
コマンド制御部の動作のフローチャート

【図3】



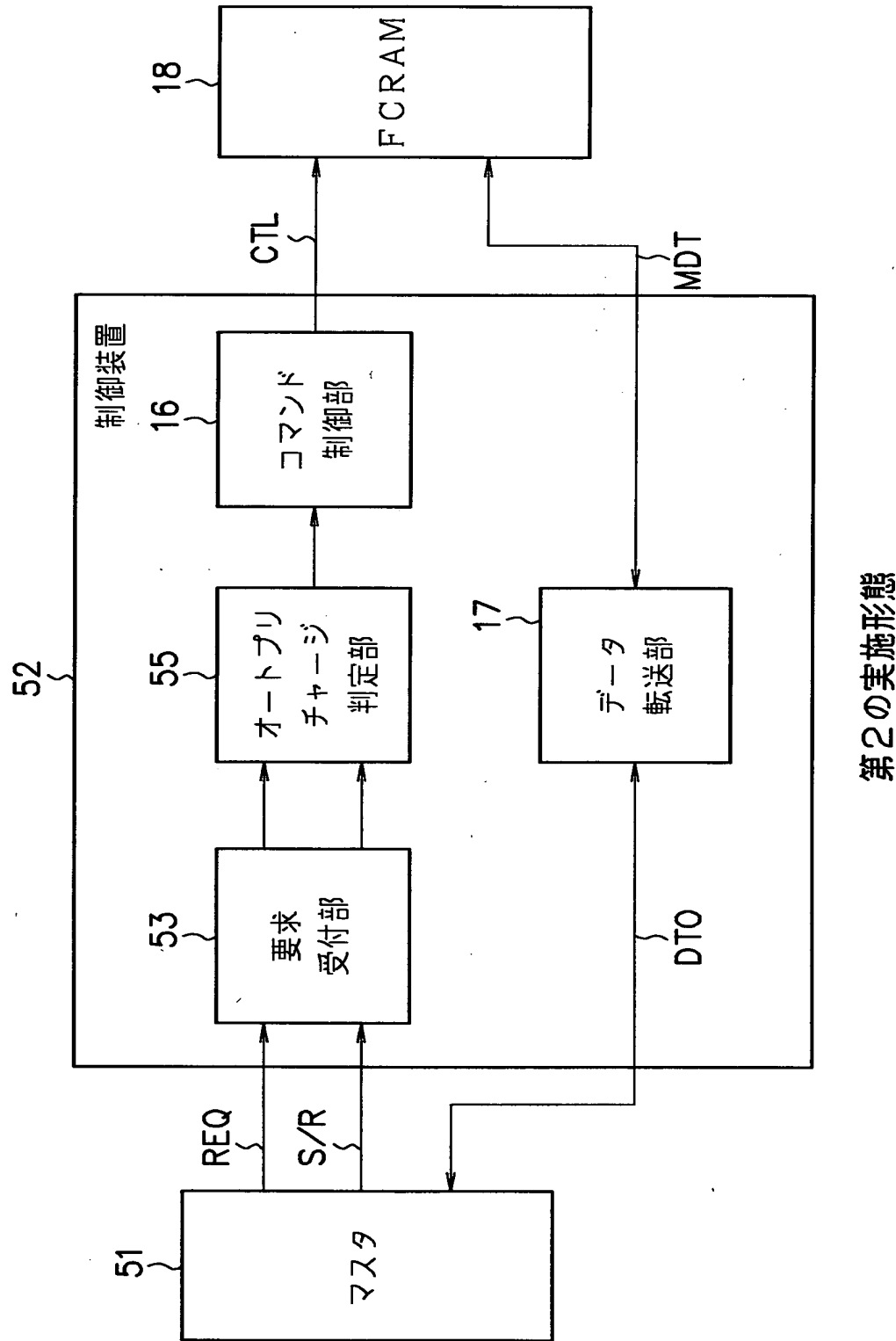
リード動作（オートプリチャージなし）のタイミングチャート

【図 4】

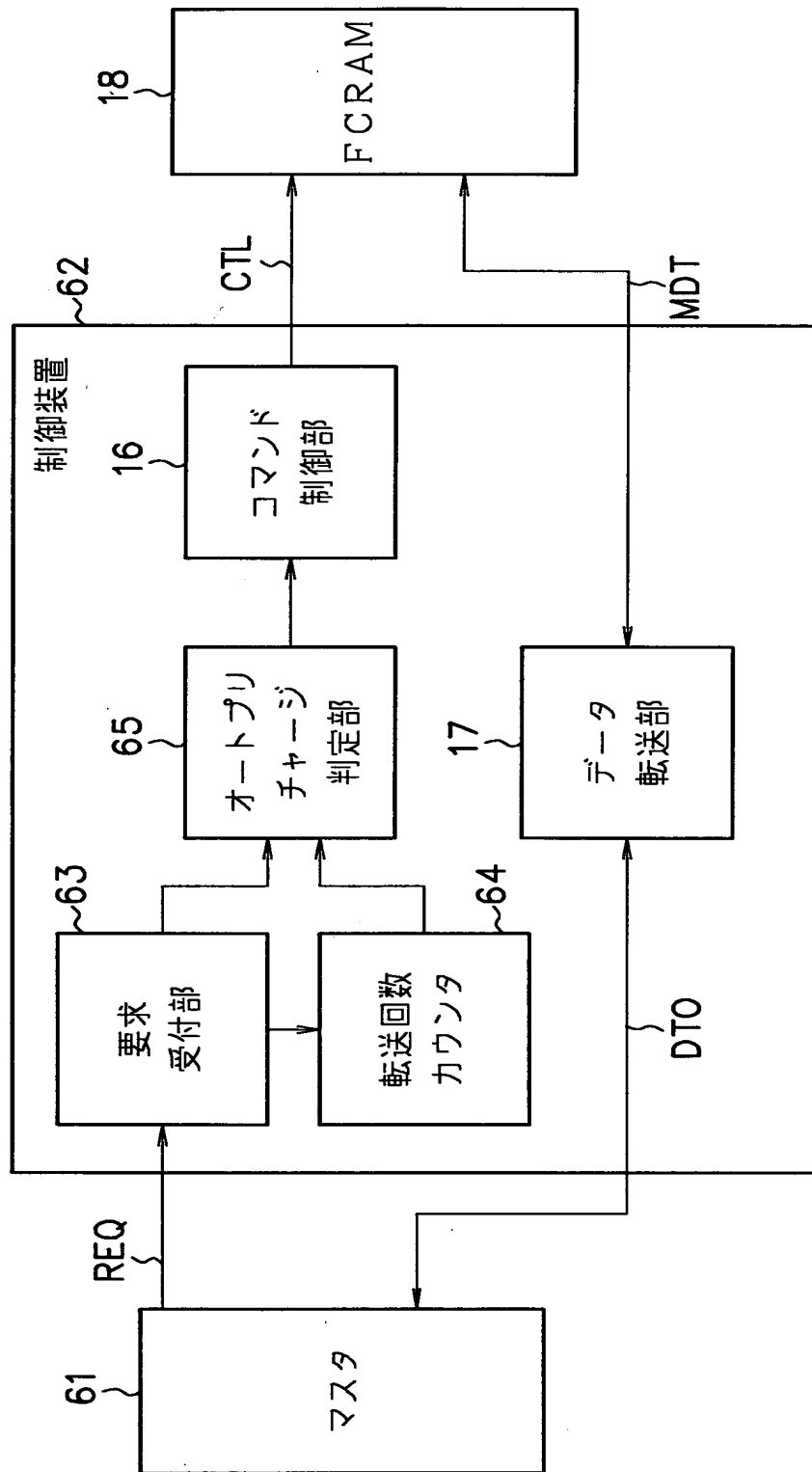


リード動作（オートプリチャージあり）のタイミングチャート

【図 5】

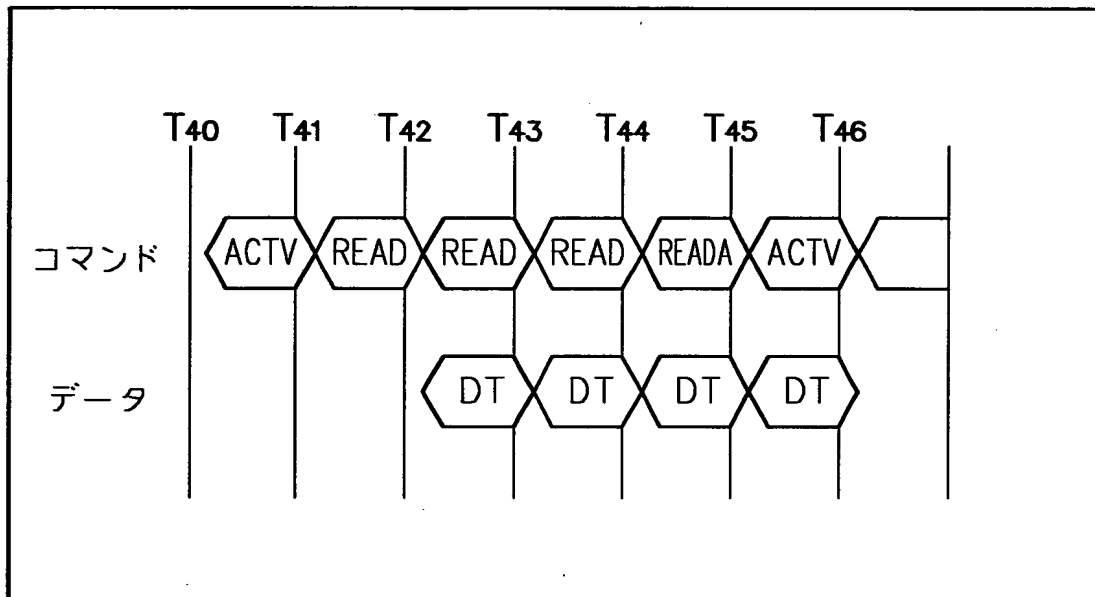


【図 6】



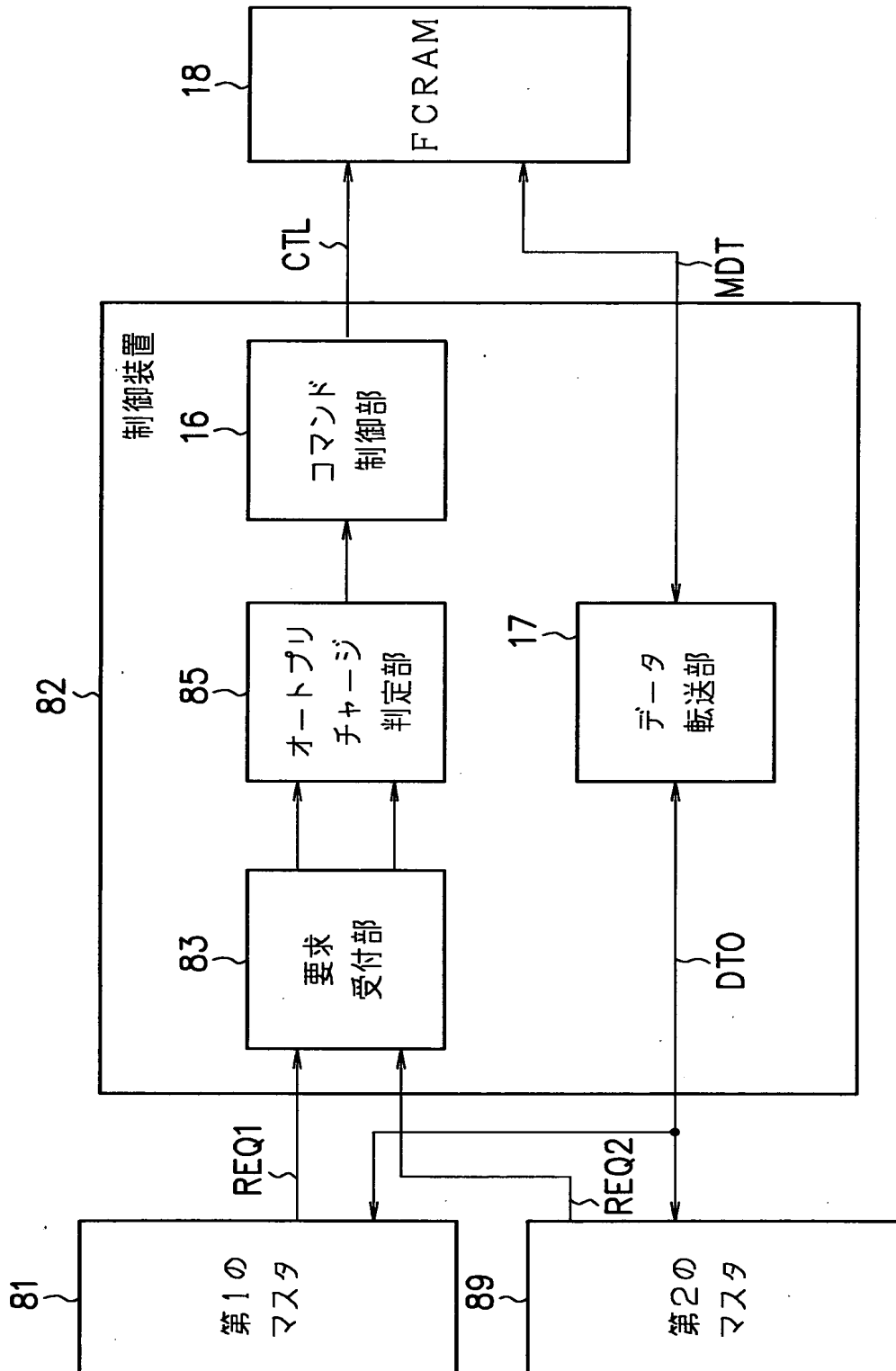
第3の実施形態

【図 7】



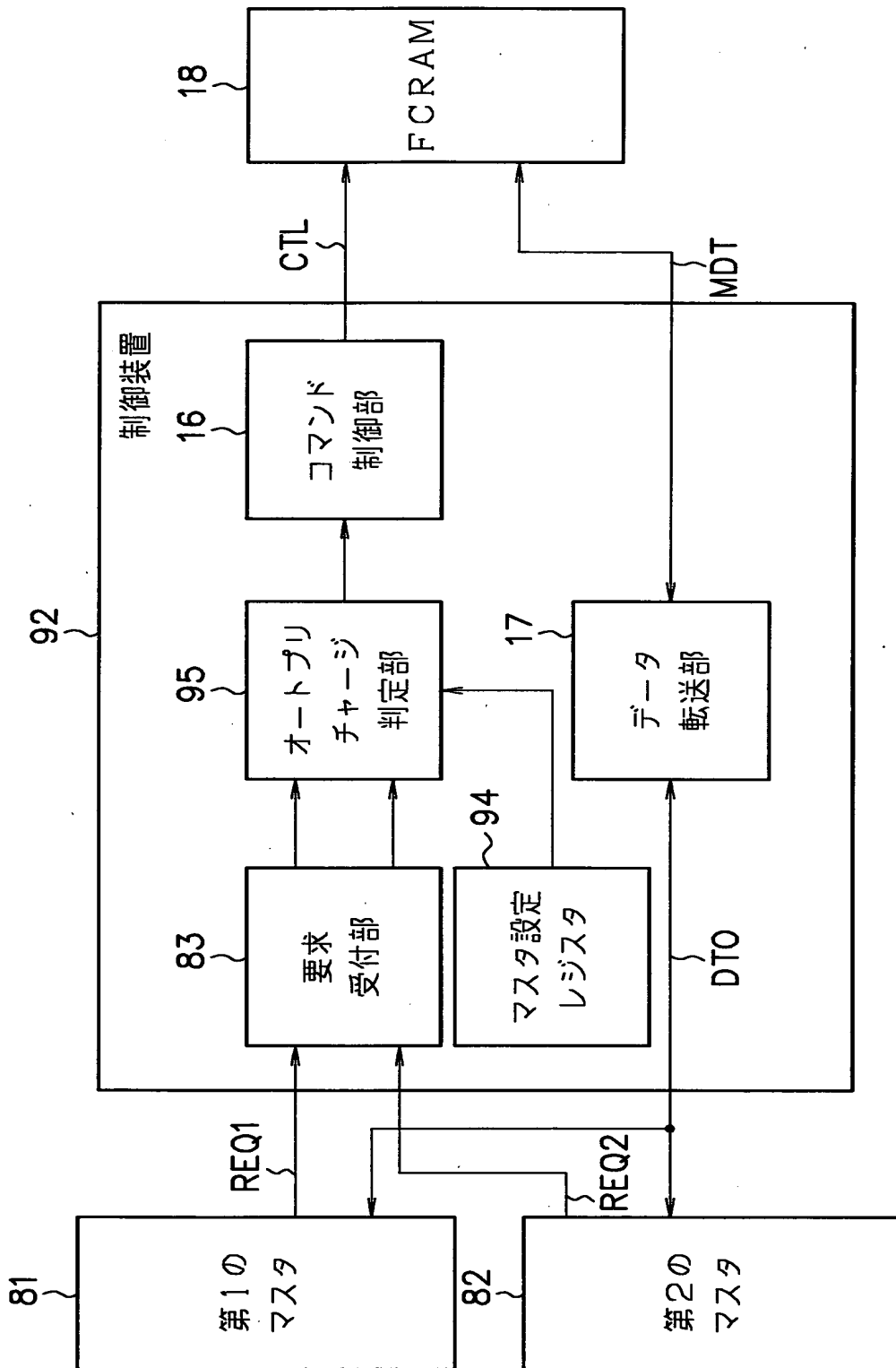
第3の実施形態によるリード動作のタイミングチャート

【図 8】



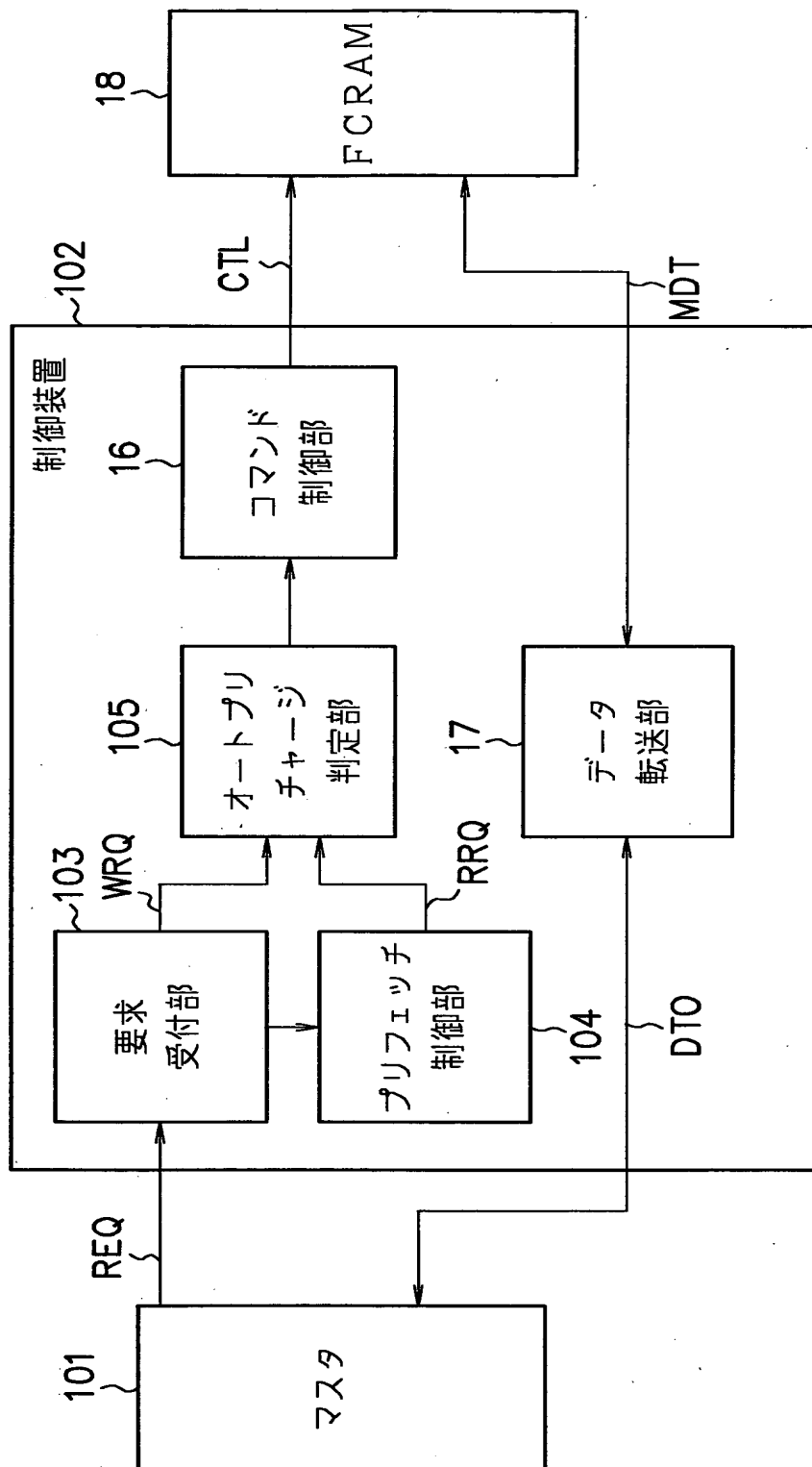
第4の実施形態

【図9】



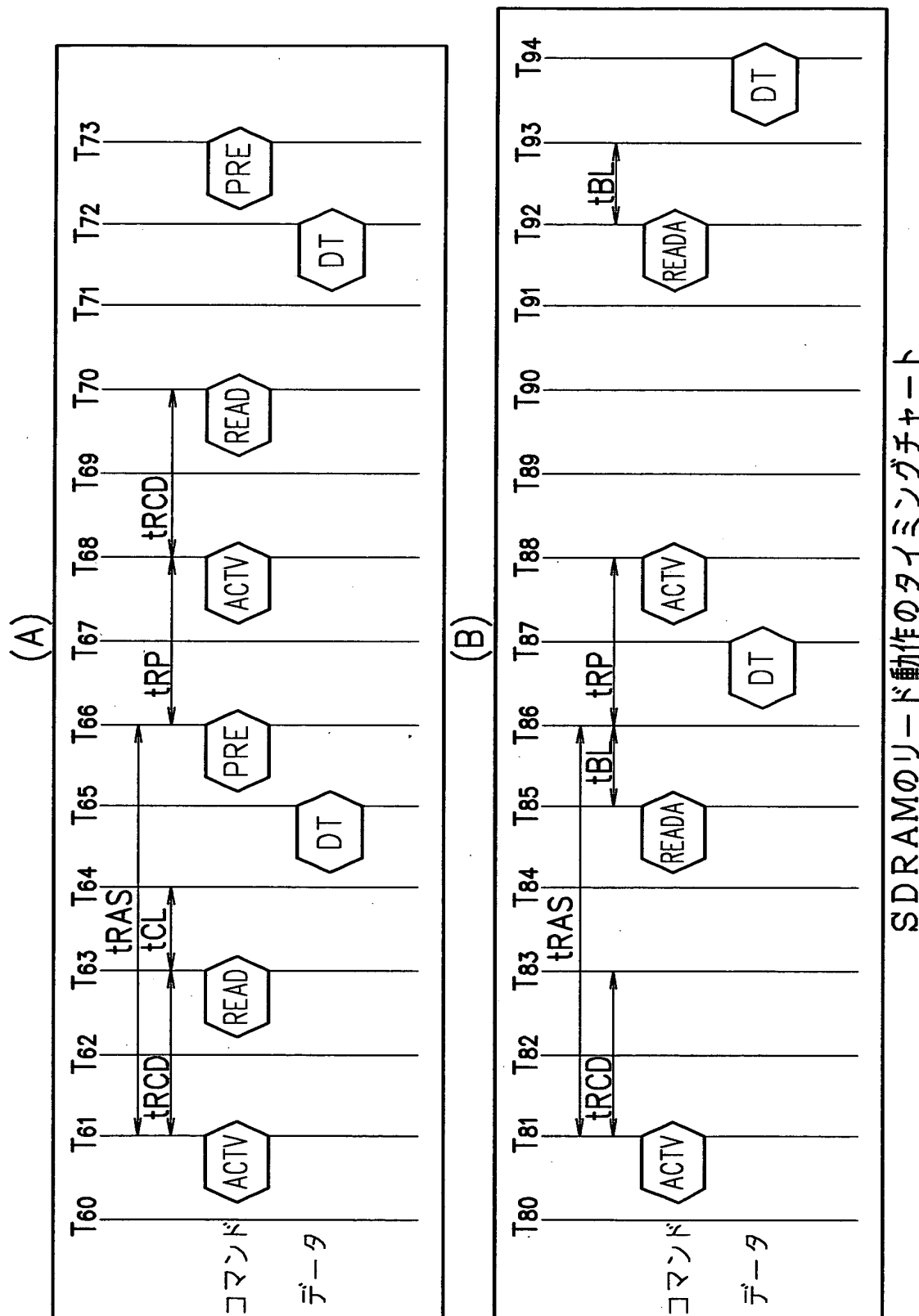
第4の実施形態

【図10】



第5の実施形態

【図 11】



【書類名】 要約書

【要約】

【課題】 半導体記憶装置に供給するコマンドを適切に制御し、データ転送効率を向上させることができるようにする。

【解決手段】 領域設定レジスタに設定したアドレスと、アクセス要求信号のアドレス情報に示されるアドレスとを比較し、領域設定レジスタに設定したアドレスとアドレス情報に示されるアドレスとが一致した場合には、オートプリチャージ付きのコマンドをFCRAMに出力し、そうでない場合には通常のコマンドをFCRAMに出力するようにして、アクセスするアドレスが不連続であることが多い領域にアクセスする際には、オートプリチャージ付きのコマンドを出力して、FCRAMにプリチャージ動作を自動的に実行させ、アクセスするアドレスが連続であることが多い領域にアクセスする際には、通常のコマンドを出力してリード動作またはライト動作を連続して実行することができるようにする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社